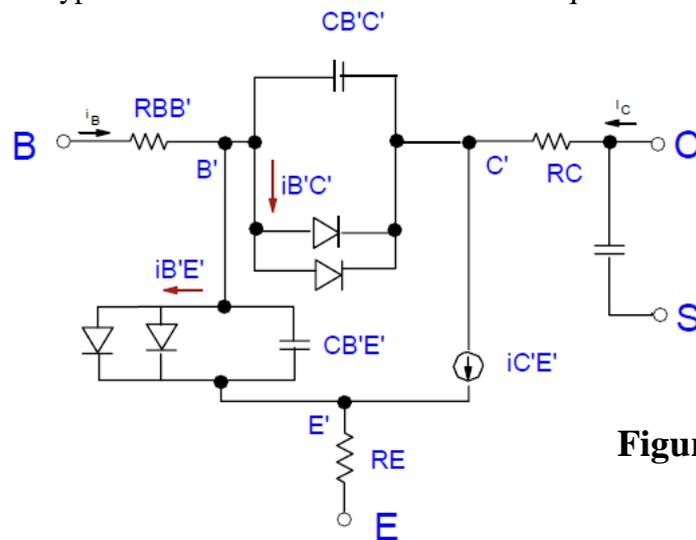


## Amplificateurs à transistors 2

L'objectif principal de ce TP en deux parties est de concevoir des amplificateurs HF à transistors à l'aide d'ADS. Dans cette deuxième partie, nous allons aborder les modèles de simulation utilisés par le logiciel, la conception d'un amplificateur de gain maximum possible, de gain fixé et à faible bruit.

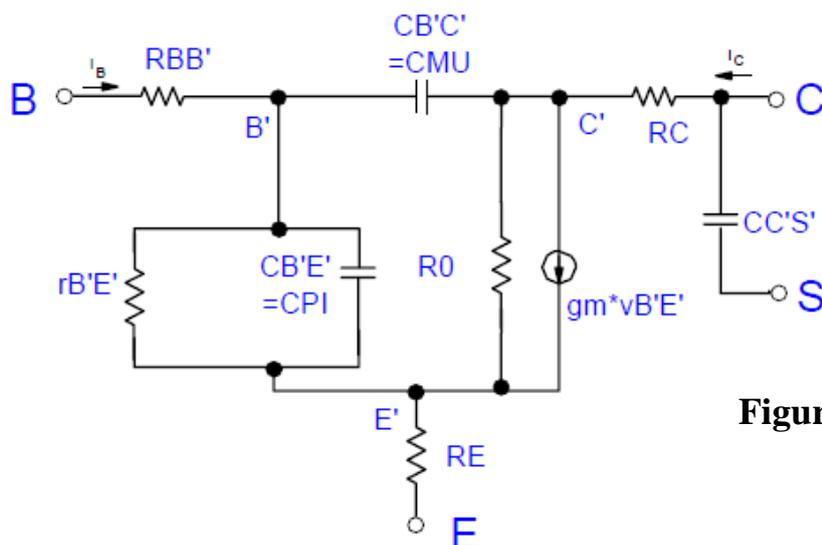
### 1. Modèles de simulation pour la HF et les Hyperfréquences

Le modèle du transistor que nous avons utilisé jusqu'à présent est un modèle non-linéaire de type Gummel-Poon. Son schéma électrique est le suivant :



**Figure 1**

Pour pouvoir l'utiliser dans une simulation en paramètres S qui va nous permettre de mettre en œuvre les méthodes de conception vues en TD (adaptation pour le MAG ou pour une valeur de gain déterminée etc.), ADS linéarise ce modèle autour du point de fonctionnement. Le modèle de simulation est alors conforme au schéma ci-dessous :



**Figure 2**

Nous souhaitons comparer ce modèle à un fichier de paramètres S donné par le constructeur du transistor. Ce fichier est le modèle de référence puisque les paramètres S ont été obtenus par la mesure.

- Saisir le schéma suivant :

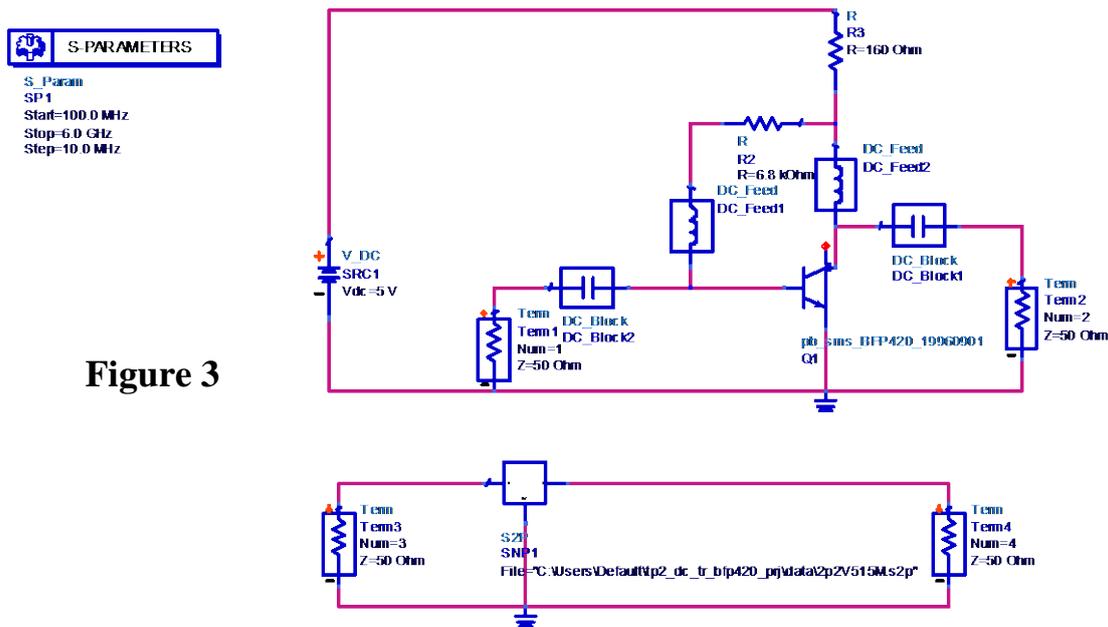


Figure 3

- Il vous faudra créer un fichier `.s2p` contenant les paramètres S. Vous trouverez ce fichier sur le site du constructeur. ATTENTION : choisir le fichier qui correspond au point de polarisation ( $V_{CE} = 2.5V$  et  $I_C = 15mA$ ).
  - Lancer la simulation et afficher les paramètres S des deux montages sur les mêmes graphes. Conclure.
2. Conception d'un amplificateur de gain maximum possible avec adaptation simultanée en entrée et sortie

### 2.1. Cahier des charges :

Transistor : BFP420  
 Fréquence centrale : 1,2GHz  
 Bande passante : 25% de la fréquence centrale  
 Impédances d'entrée et de sortie :  $50\Omega$

### 2.2. Étapes de conception :

1. S'assurer de la stabilité du montage aux fréquences de travail.
2. Calculer le gain maximum atteignable.
3. Calculer les coefficients de réflexion en entrée ( $\Gamma_S$ ) et en sortie ( $\Gamma_L$ ) du transistor.
4. Concevoir des circuits d'adaptation en entrée et en sortie du transistor.

### 2.3. Utilisation d'ADS :

- Reprendre le circuit du TP précédent et le compléter de la manière suivante :

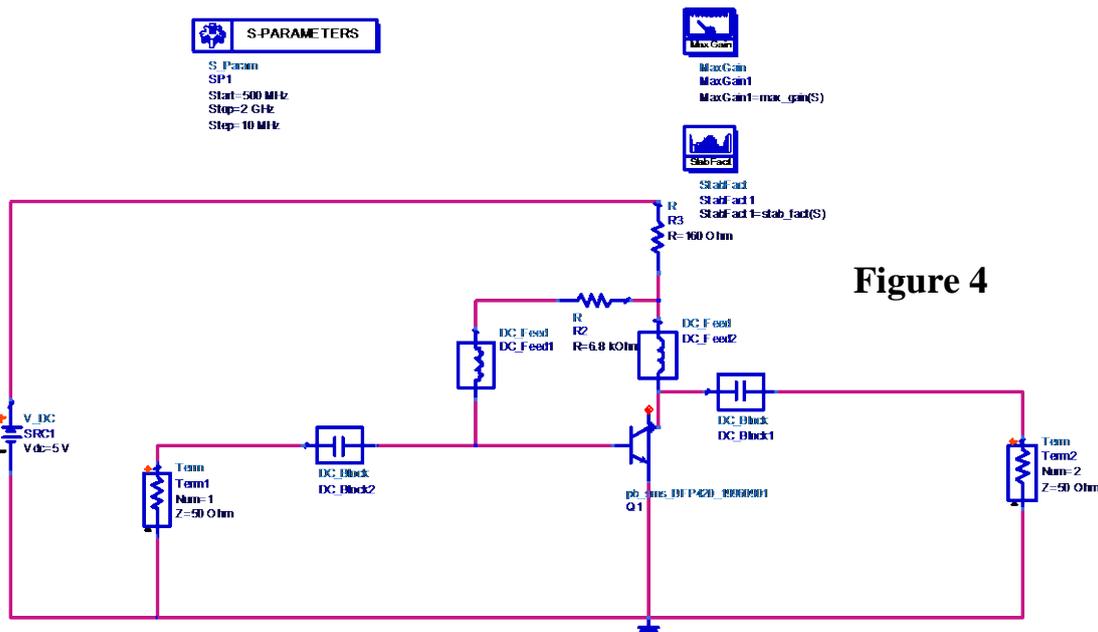


Figure 4

- Lancer la simulation et afficher les courbes du facteur de stabilité et du gain max en fonction de la fréquence. Quelle est la valeur max du gain atteignable à 1,2GHz ? Comment peut-on atteindre cette valeur ? Quelle est la valeur du facteur de stabilité du montage ? On rappelle que pour que le transistor soit inconditionnellement stable cette valeur doit être supérieure à 1.
- Le transistor est instable à la fréquence de 1,2GHz. Avant de poursuivre, il faut le stabiliser. Placer une résistance de 8.2Ω en série sur la base du transistor, relancer la simulation et constater que cela a pour effet de stabiliser le montage. Que devient le gain max ? Pourquoi ?
- Compléter le montage afin d'obtenir le schéma suivant :

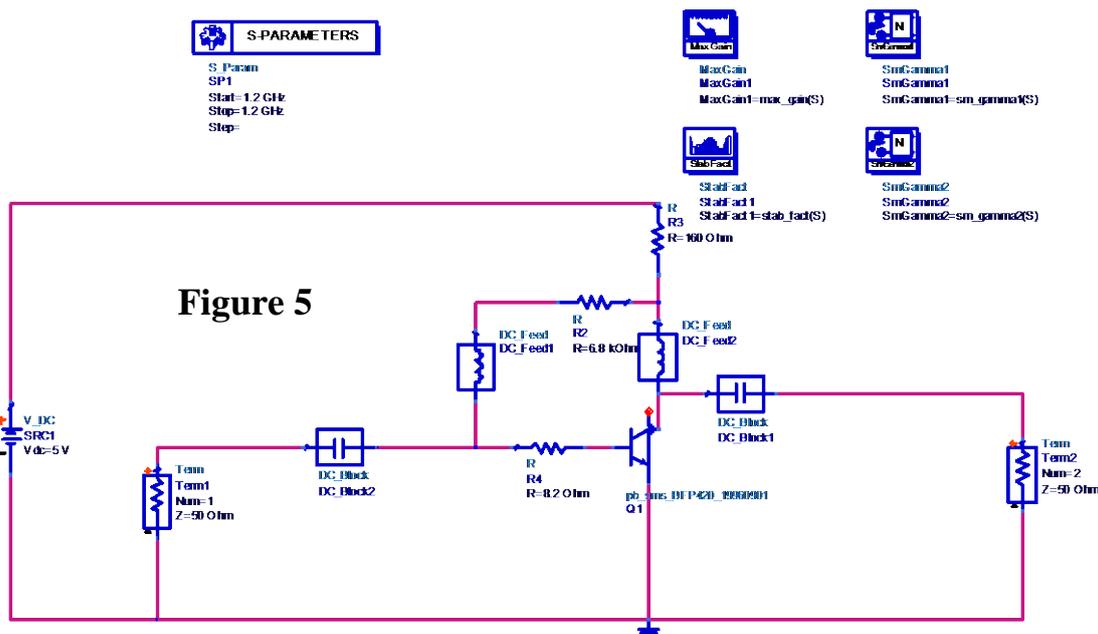
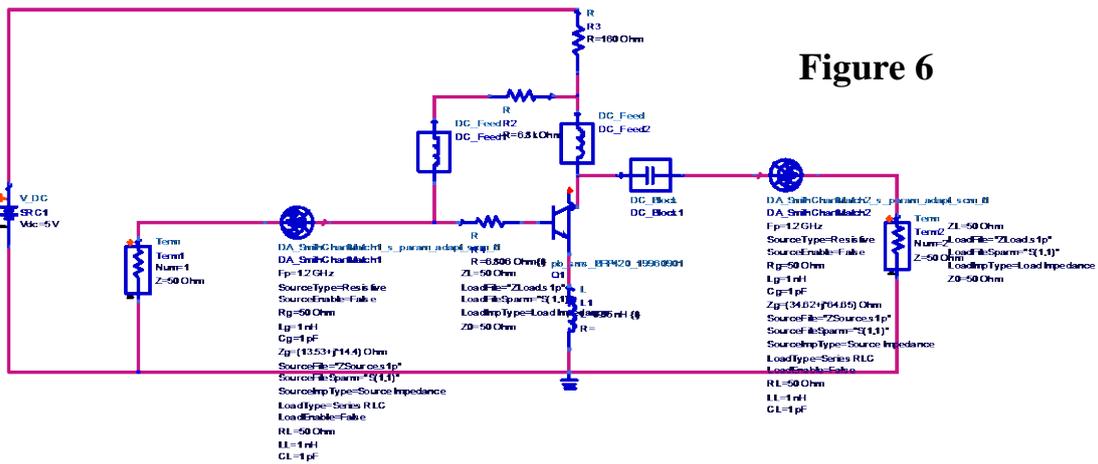
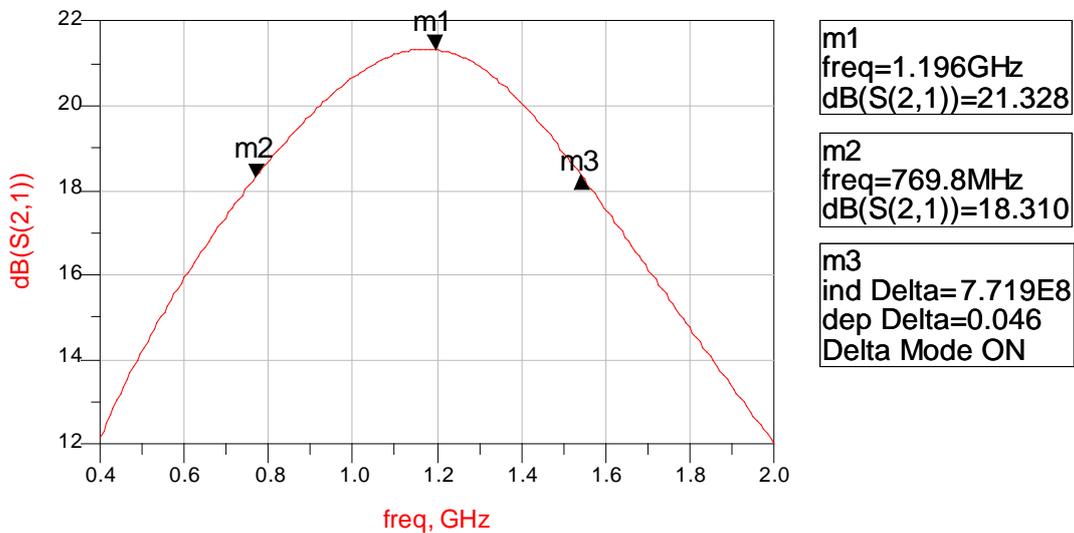


Figure 5

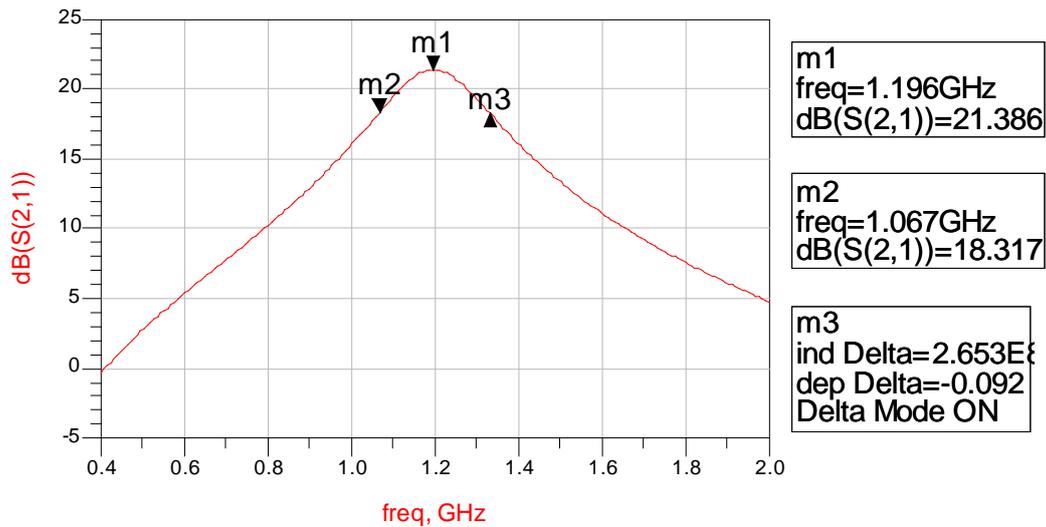
- Les instruments SmGamma1 et SmGamma2 calculent les valeurs optimales des coefficients de réflexion  $\Gamma_{Sopt}^*$  et  $\Gamma_{Lopt}^*$  à présenter en entrée et en sortie du transistor. Afficher ces valeurs dans un tableau pour la fréquence de 1,2GHz.
- A partir des valeurs de  $\Gamma_{Sopt}^*$  et  $\Gamma_{Lopt}^*$  utiliser des instruments Smith chart matching et concevoir des circuits d'adaptation à deux éléments. On prendra un circuit passe-haut en entrée et un circuit passe-bas en sortie. Attention au sens des instruments Smith chart matching !



- Après adaptation, vous devriez obtenir ce résultat :



- On constate que le critère de bande passante n'est pas respecté. Il faut donc utiliser des circuits d'adaptation à 3 éléments ! Concevoir ces circuits en partant d'un facteur de qualité  $Q = 5$ . Voici ce que j'obtiens avec un circuit en T en entrée et un circuit en PI en sortie :



### 3. Conception d'un amplificateur de gain $G_p$

#### 3.1. Cahier des charges :

Transistor : BFP420  
 Fréquence centrale : 1,2GHz  
 Gain : 12dB  
 Bande passante : 25% de la fréquence centrale  
 Impédances d'entrée et de sortie :  $50\Omega$

#### 3.2. Etapes de conception :

1. S'assurer de la stabilité du montage aux fréquences de travail.
2. Tracer le cercle de gain constant  $G_p$  en sortie du transistor.
3. Choisir sur ce cercle une valeur de  $\Gamma_L$ .
4. Calculer  $\Gamma_S$  à l'aide de la formule suivante :

$$\Gamma_S = \left[ S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1 - S_{22}\Gamma_L} \right]^*$$

5. Concevoir des circuits d'adaptation en entrée et en sortie du transistor à partir des valeurs de  $\Gamma_L$  et  $\Gamma_S$  calculées précédemment.

#### 3.3. Utilisation d'ADS :

- Reprendre le schéma de la figure 5 et rajouter l'instrument suivant :

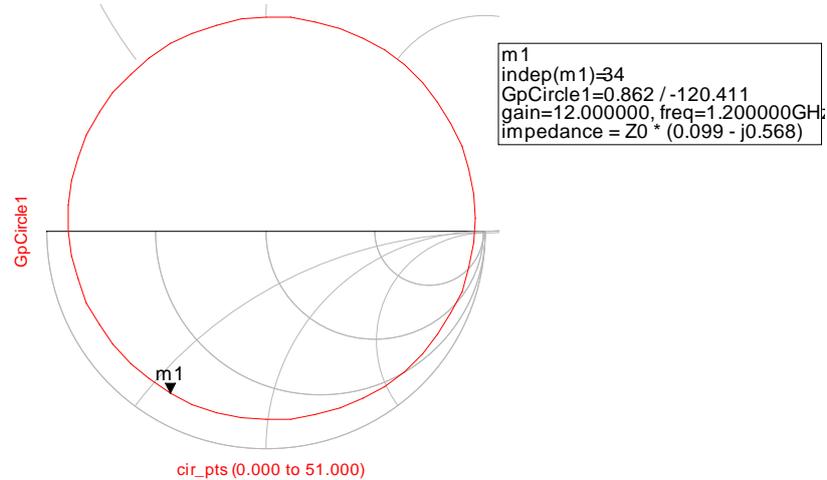


GpCircle

GpCircle1

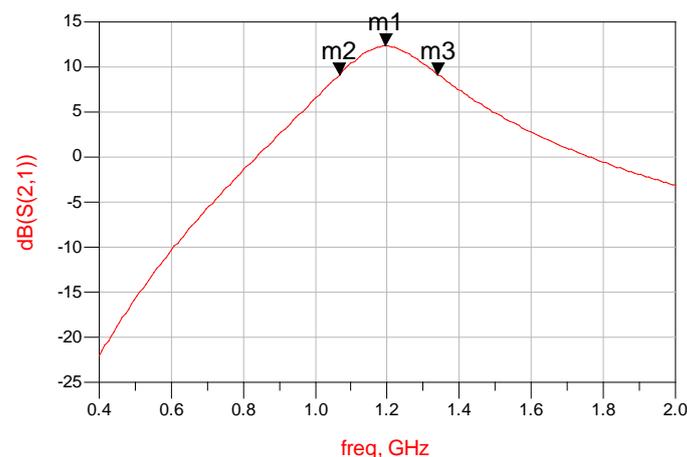
GpCircle1=gp\_circle(S,12,51)

- Lancer la simulation et afficher sur une abaque de Smith GpCircle1. Placer un marqueur sur ce cercle et constater qu'il s'agit bien d'un cercle de gain constant  $G_p = 12\text{dB}$  :



- Choisir une valeur de  $\Gamma_L$  sur ce cercle et calculer, à l'aide de l'équation donnée au paragraphe 3.2 la valeur de  $\Gamma_S$  (utiliser une équation dans la fenêtre de résultats d'ADS).
- Utiliser des instruments Smith chart matching et concevoir des circuits d'adaptation à deux éléments. On prendra un circuit passe-haut en entrée et un circuit passe-bas en sortie.
- On constate que le critère de bande passante n'est pas respecté. Il faut donc utiliser des circuits d'adaptation à 3 éléments ! Concevoir ces circuits en partant d'un facteur de qualité  $Q = 5$ . Voici ce que j'obtiens avec un circuit en PI en entrée et un circuit en T en sortie :

m1 freq=1.196GHz dB(S(2,1))=12.283	m2 freq=1.067GHz dB(S(2,1))=9.180	m3 freq=1.341GHz dB(S(2,1))=9.152
--	---	---



#### 4. Quelques éléments sur le bruit en électronique

Il existe diverses sources de bruit dans un montage électronique. La source de bruit prédominante est liée au bruit thermique produit par les fluctuations des

électrons dues à la température. Ce bruit est blanc et possède une densité spectrale de puissance Gaussienne. Sa puissance s'écrit :

$$P_N = kTB$$

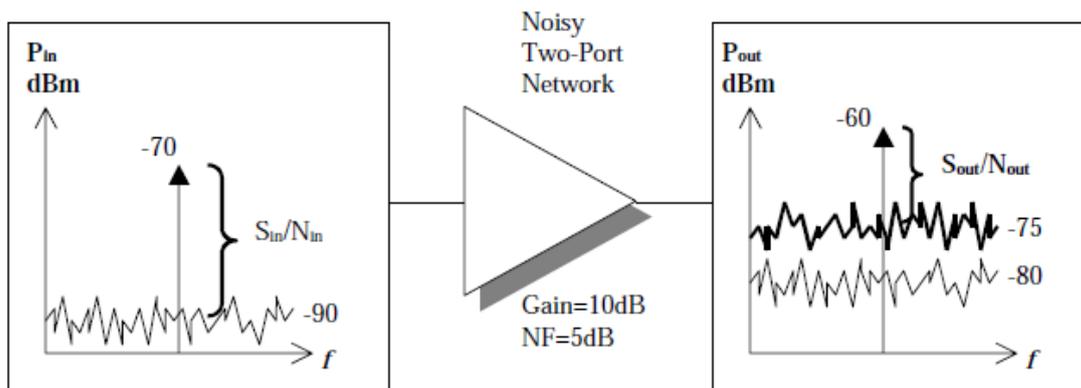
Avec  $k = 1,38 \times 10^{-23}$  J/K la constante de Boltzmann, T la température en degrés Kelvin et B la bande passante du système en Hz.

Dans le cas d'un quadripôle amplificateur (i.e. le transistor) on définit le facteur de bruit par [2] :

$$F = \frac{P_{SIN}/P_{NIN}}{P_{SOUT}/P_{NOUT}}$$

Avec  $P_{SIN}/P_{NIN}$  le rapport signal à bruit en entrée du quadripôle et  $P_{SOUT}/P_{NOUT}$  le rapport signal à bruit en sortie du quadripôle.

La figure suivante illustre cette notion :



A l'entrée de l'amplificateur le rapport signal sur bruit est de 20dB, à la sortie, du fait du facteur de bruit de l'amplificateur égal à 5dB le rapport signal sur bruit passe à 15dB.

On prend souvent comme référence la température  $T_0 = 290^\circ\text{K}$  (soit  $17^\circ\text{C}$ ). Dans ce cas on peut montrer que pour un amplificateur de gain G :

$$F = \frac{P_{NOUT}}{GkT_0B} = 1 + \frac{T_e}{T_0}$$

Où  $T_e$  représente la température équivalente de bruit de l'amplificateur. Elle est égale à  $627^\circ\text{K}$  dans le cas de l'exemple de la figure.

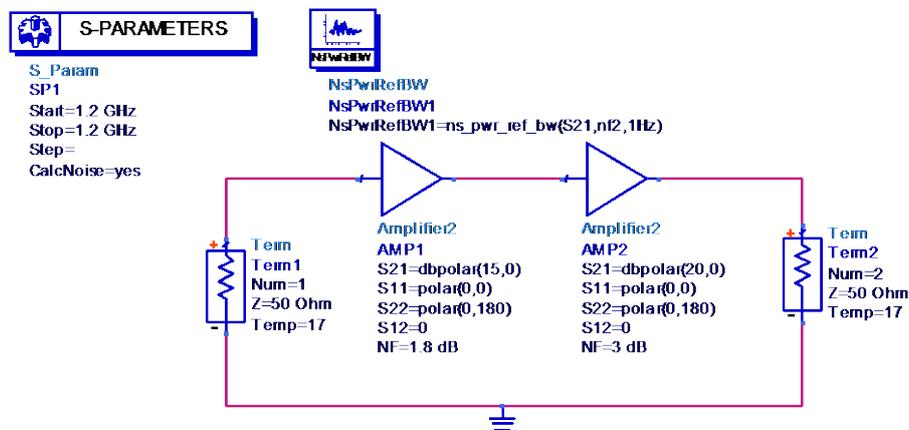
Dans le cas d'un récepteur, le signal d'entrée est très faible et le coefficient d'amplification doit être très élevé. Il ne peut être réalisé qu'à l'aide de plusieurs éléments amplificateurs en cascade. Dans ce cas, il est important de connaître le facteur de bruit de l'ensemble car il permettra de déterminer le signal minimum détectable (Minimum Detectable Signal où MDS) à l'entrée du récepteur. On peut montrer que dans le cas de la mise en cascade de N quadripôles [1] :

$$F_n = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \dots$$

$$T_{en} = T_{e1} + \frac{T_{e2}}{G_1} + \frac{T_{e3}}{G_1 G_2} + \dots$$

La formule de  $F_n$  montre que le placement des différents quadripôles dans une chaîne d'amplification ne doit pas se faire au hasard. Nous allons le vérifier avec ADS.

- Saisir le schéma suivant :



- Lancer la simulation et afficher NsPwrRefBW1 la puissance du bruit en sortie et nf(2) le facteur de bruit du système.
- Intervertir les deux amplificateurs, relancer la simulation et afficher les mêmes paramètres que précédemment. Vérifier que :

$$(NsPwrRefBW1)dB = (kT_0)dB + G1dB + G2dB + (Fn)dB$$

$$F_n = F_1 + \frac{F_2 - 1}{G_1}$$

Conclusion ?

## Références :

- [1] G. Gonzales, Microwave transistor amplifiers Analysis and Design, second edition, Prentice-Hall, 1997.
- [2] Understanding and Enhancing Sensitivity in Receivers for Wireless Applications, Texas Instruments Technical brief SWRA030, 1999.